

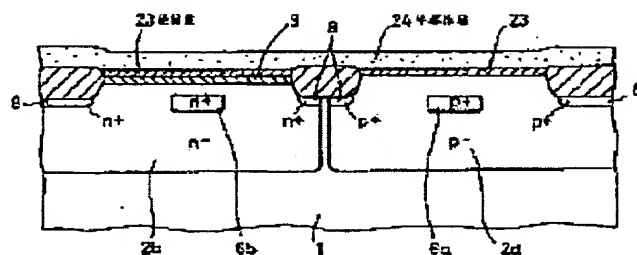
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP7235673
Publication date: 1995-09-05
Inventor: KUBOTA MICHITAKA; MATSUMOTO KOICHI
Applicant: SONY CORP
Classification:
- **International:** H01L29/78; H01L29/66; (IPC1-7): H01L29/78
- **European:**
Application number: JP19940022802 19940221
Priority number(s): JP19940022802 19940221

Report a data error here

Abstract of JP7235673

PURPOSE:To improve the short-channel effect efficiently by forming gate electrodes of a low specific-resistance semiconductor layer of the same- conductivity type, and securely forming a shallow impurity-doped layer for moving an embedded channel to the surface side. **CONSTITUTION:**A surface protecting film and the like are removed, and the surfaces of first and second transistor forming parts 2a and 2b are exposed. The surfaces are thermally oxidized, and insulating films 23 of SiO₂ oxide films are formed. A conductive semiconductor layer 24 formed of n-type polycrystalline Si, wherein phosphorus P is doped in the entire surface and the low specific resistance is achieved, is formed on the films 23 by a CVD method or the like. The semiconductor layer 24 and the insulating films 23 beneath the layer 24 are etched into the specified pattern by photolithography so that the pattern faces the respective embedded regions 6a and 6b and parts constituting gate parts are made to remain. Thus, a gate insulating films, which are formed of the respective parts of the respective insulating films 23 and the semiconductor layer 24, and the respective gate parts, which comprise the gate electrodes formed on the gate insulating films, are constituted on the respective transistor forming parts 2a and 2b.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235673

(43) 公開日 平成7年(1995)9月5日

| (51) IntCl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|---------|----------------|---------|
| H 0 1 L 29/78 | | 7514-4M | H 0 1 L 29/ 78 | 3 0 1 H |
| | | 7514-4M | | 3 0 1 X |

審査請求 未請求 請求項の数3 OL (全 8 頁)

(21) 出願番号 特願平6-22802

(22) 出願日 平成6年(1994)2月21日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 窪田 通孝

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72) 発明者 松本 光市

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

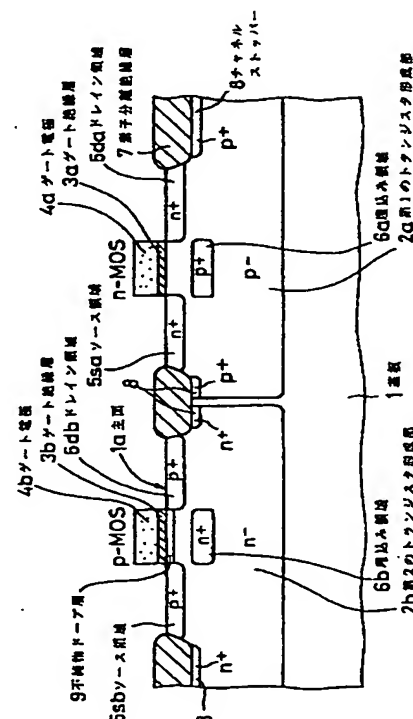
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体装置の製法

(57) 【要約】 (修正有)

【目的】 p及びnチャネルMOSトランジスタ (T r .) を有する半導体装置を、ゲート電極が同一導電型の低比抵抗半導体層によって形成し、しかも短チャネル効果を効果的に改善する。

【構成】 第1, 第2のT r . 形成部2 a , 2 b の表面に表面保護膜を被着する工程と、第2のT r . 形成部2 b をフォトリソによって覆って、第1のT r . 形成部に表面保護膜を通じて高エネルギーのイオン注入を行う第1のイオン注入工程と、第2のT r . 形成部に同様の方法でイオン注入を行う第2のイオン注入工程と、第1, 第2のイオン注入工程終了後に第2のT r . 形成部上の表面保護膜を除去して第2のT r . 形成部表面の不純物濃度調整を行う低エネルギーイオン注入の第3のイオン注入工程と、第1, 第2のT r . 形成部のチャネル形成部にそれぞれゲート絶縁膜を介して共通の第1導電型の不純物がドーパされた多結晶S i による半導体層によるゲート電極4 a , 4 b を形成する工程をとる。



【特許請求の範囲】

【請求項1】 共通の基板に、第1導電型チャネルの絶縁ゲート型電界効果トランジスタと第2導電型チャネルの絶縁ゲート型電界効果トランジスタとが形成される半導体装置の製法において、

最終的に上記第1導電型および第2導電型チャネルの絶縁ゲート型電界効果トランジスタを形成する第1および第2のトランジスタ形成部の表面に表面保護膜を被着する工程と、

上記第2のトランジスタ形成部をフォトレジストによって覆って、第1のトランジスタ形成部に上記表面保護膜を通じてイオン注入を行う第1のイオン注入工程と、

該第1のイオン注入工程前または後に上記第1のトランジスタ形成部をフォトレジストによって覆って、第2のトランジスタ形成部に上記表面保護膜を通じてイオン注入を行う第2のイオン注入工程と、

上記第1および第2のイオン注入工程をともに終了して後に上記第2のトランジスタ形成部上の上記表面保護膜を除去して該第2のトランジスタ形成部表面の不純物濃度を調整する第3のイオン注入工程と、

上記第1および第2のトランジスタ形成部のチャネル形成部に、それぞれゲート絶縁膜を介して共通の第1導電型の不純物がドーピングされた半導体層によるゲートを成する工程とを少なくともとって目的とする第1導電型および第2導電型チャネルの絶縁ゲート型電界効果トランジスタを形成することを特徴とする半導体装置の製法。

【請求項2】 上記第1導電型がn型であり、上記第2導電型がp型であることを特徴とする請求項1に記載の半導体装置の製法。

【請求項3】 上記表面保護膜が酸化シリコンであることを特徴とする請求項1または2に記載の半導体装置の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置、特に共通の基板に、少なくとも第1導電型チャネル例えばnチャネルの絶縁ゲート型電界効果トランジスタ（以下n-MOSTランジスタという）と第2導電型チャネル例えばpチャネルの絶縁ゲート型電界効果トランジスタ（以下p-MOSTランジスタという）とが形成された例えばCMOS（相補型の絶縁ゲート型電界効果トランジスタ）あるいは半導体集積回路LSI等の半導体装置に係わる。

【0002】

【従来の技術】 n-MOSTランジスタとp-MOSTランジスタの双方を回路素子として有する半導体装置、例えばLSIは、例えば図7にその概略断面図を示すように、共通の半導体基板1に、その一主面1aに臨んで例えばウェル領域によってそれぞれ形成されたn-MOSTランジスタの形成部2aとp-MOSTランジスタ

形成部2bとにそれぞれゲート部、すなわちゲート絶縁膜3aおよび3bを介してゲート電極4aおよび4bが形成されてなるゲート部が構成され、これらゲート部を挟んでその両側にn型のソース領域5saおよびドレイン領域5daとp型のソース領域5sbおよびドレイン領域5dbとが形成されてなる。

【0003】このような半導体装置において、集積密度の向上等を目的として例えばチャネル長が0.1 μ mないしはそれ以下の微細MOSが形成される方向にあるが、この場合、いわゆる短チャネル効果の1つのソースおよびドレイン間のパンチスルーの発生が問題となる。このようなパンチスルーの発生を回避するものとして、各MOSTランジスタの形成部2aおよび2b中の、ゲート電極4aおよび4bと対向する位置にMOSTランジスタ形成部2aおよび2bと同導電型の高濃度のパンチスルー防止の埋込み領域6aおよび6bが形成される。

【0004】また、基板表面には例えば局部的酸化いわゆるLOCOS（Local Oxidation of Silicon）によって素子分離絶縁層7が形成されるが、この素子分離絶縁層7下には寄生チャネルの発生を防止するいわゆるチャネルトッパー8が形成される。

【0005】このような構成によるLSI等の半導体装置を構成する場合、多層配線構造をとることから、耐熱性にすぐれ、製造が比較的容易等の理由から各MOSTランジスタのゲート電極4aおよび4bは、不純物がドーピングされた多結晶シリコン等の低比抵抗の半導体層によって形成される。この場合その製造工程の簡略化から両MOSTランジスタのゲート電極4aおよび4bの双方を同時に形成することができるよう同一の不純物ドーピングがなされた半導体層によって構成することが望まれる。つまり、両ゲート電極4aおよび4bを共に例えばn型の多結晶シリコンによって構成することが望ましい。

【0006】ところが、このように、例えばp-MOSTランジスタのゲート電極4bをn型の半導体層によって形成すると、このp-MOSTランジスタにおいては、そのチャネル形成部のn型半導体層とゲート電極4bとの仕事関数によって、そのチャネルがチャネル形成部の内部に入り込んだいわゆる埋込みチャネル型MOSTランジスタとなる。

【0007】この埋込みチャネル型トランジスタは、半導体の表面状態の影響を受けにくいという特徴があるものの、チャネル長が短縮化された微細MOSTランジスタにおいては、チャネルに対するゲート電圧による制御性が低くなることから、短チャネル効果が大きくなるという問題が生じる。

【0008】

【発明が解決しようとする課題】 上述したように、共通の基板にp-MOSTランジスタとn-MOSTランジ

スタとを形成する場合、そのゲート電極を同一導電型の半導体層によって構成するとき、一方のMOSトランジスタに関しては、埋込みチャネル型構成となつて、特に微細MOSトランジスタを構成する場合、チャネルに対するゲート電圧による制御性が低くなることから、短チャネル効果が大きくなるという課題がある。

【0009】本発明は、このような課題を解決する半導体装置の製法を提供するものである。

【0010】

【課題を解決するための手段】すなわち、本発明においては、図1に本発明製法によって得た第1導電型および第2導電型チャネルによるMOSトランジスタを有する半導体装置の一例の概略断面図を示すように、埋込みチャネル型構成となるMOSトランジスタに関してそのゲート直下のトランジスタ形成部の半導体表面に浅く、イオン注入による例えばp型の不純物ドーブ層9を形成する。

【0011】しかしながら、通常、イオン注入を阻止するマスクとしては、一般にフォトリソが用いられるが、フォトリソは、半導体の特性に影響を及ぼす不純物を含み易いこと、更に例えばイオン注入時に帯電して、これによる電界によって半導体に不純物を引き込み易いなどの問題があつて、そのためこのフォトリソはチャネル形成部の半導体表面に例えば SiO_2 膜による表面保護膜を介して被着し、直接的な被着を回避する。

【0012】ところが、前述したように、チャネル形成部の表面に浅いイオン注入によって不純物ドーブ層9を形成する場合、半導体表面に SiO_2 膜等の下地材料層を貫通して表面に所定の濃度をもって不純物ドーブ層を制御性良く形成することは極めて困難である。

【0013】本発明は、ゲート電極が同一導電型の低比抵抗半導体層によって形成され、微細化されたpチャネルMOSトランジスタおよびnチャネルMOSトランジスタを有する半導体装置、例えば大集積回路装置LSIを、埋込みチャネルを表面側に移行させるための浅い不純物ドーブ層を確実に形成して、短チャネル効果を効果的に改善して作製することができるようにする。

【0014】すなわち、第1の本発明においては、共通の基板に、第1導電型チャネルのMOSトランジスタと第2導電型チャネルのMOSトランジスタとが形成される半導体装置の製法において、最終的に上記第1導電型および第2導電型チャネルのMOSトランジスタ形成部を形成する第1および第2のトランジスタ形成部の表面に表面保護膜を被着する工程と、一方の第2のトランジスタ形成部をフォトリソによって覆つて、他方の第1のトランジスタ形成部に上記表面保護膜を通じてイオン注入を行う第1のイオン注入工程と、この第1のイオン注入工程前または後に第1のトランジスタ形成部をフォトリソによって覆つて、第2のトランジスタ形

成部に上記表面保護膜を通じてイオン注入を行う第2のイオン注入工程と、第1および第2のイオン注入工程とともに終了して後に第2のトランジスタ形成部上の上記表面保護膜を除去してこの第2のトランジスタ形成部表面の不純物濃度調整を行う第3のイオン注入工程と、上記第1および第2のトランジスタ形成部のチャネル形成部上にそれぞれゲート絶縁膜を介して共通の第1導電型の不純物がドーブされた例えば多結晶Siによる半導体層によるゲート電極を形成する工程とを少くともして目的とする第1導電型および第2導電型チャネルのMOSトランジスタ形成部を形成する。

【0015】第2の本発明は、上述の製法において、その第1導電型がn型であり、上記第2導電型がp型である構成とする。

【0016】上述の表面保護膜は、フォトリソによる半導体基板のトランジスタ形成部、特にチャネル形成部の汚染を阻止でき、高エネルギーイオン注入においても半導体基板表面にダメージを与えることのない材料層によって構成され、この目的から、第3の本発明は、上述の製法において、その表面保護膜を酸化シリコン例えば SiO_2 、 SiO 好ましくは SiO_2 によって構成する。

【0017】尚、ここで、第1および第2のイオン注入は、一般に上述した第2のトランジスタ形成部表面の不純物濃度調整を行うための第3のイオン注入における低エネルギーイオン注入に比してそのイオン打ち込みエネルギーが相対的に大なるものである。

【0018】

【作用】本発明製法によれば、両導電型チャネルすなわちn-MOSトランジスタおよびp-MOSトランジスタに関してそのゲート電極を共通の導電型による半導体層例えば多結晶Siによって同一工程で構成するので、互いに異なる導電型の半導体層によって構成する場合における工程数の増加を回避でき、生産性の向上をはかることができる。

【0019】また、本発明製法においては、イオン注入のマスクとするフォトリソは、例えば SiO_2 による表面保護膜を介して形成することから、フォトリソの被着による半導体のチャネル形成部の汚染を回避でき、また比較的高エネルギーイオン注入に際しては、この表面保護膜を通じて第1および第2のトランジスタ形成部に対する第1および第2の高エネルギーのイオン注入を行うのでこの高エネルギーイオン注入に際しての半導体表面のダメージの発生を回避できる。

【0020】そして、表面濃度調整の比較的低エネルギーイオン注入に関しては、表面保護膜を介することなくそのイオン注入を行うのでトランジスタ形成部の表面に浅く制御性よく不純物のドーブを行うことができる。したがって上述したように両導電型のMOSトランジスタに関して第1導電型による同一の半導体層によってゲ

ト電極を構成したことにより埋込みチャネル型となる第2導電型チャネルのMOSトランジスタに関して安定して目的の特性を有するすなわちその埋込み型チャネルを表面側に移行したすなわちゲート電圧のチャネルに対する制御性を高めることができる。つまり、これによって短チャネル効果の改善したがってMOSトランジスタの微細化をはかることができる。

【0021】また、第2の本発明においては、第1の本発明製法において、その第1導電型がn型であり、第2導電型がp型である構成、すなわち両導電型のMOSトランジスタのゲート電極を、n型の半導体層によって構成するものであるが、このようにゲート電極をn型とすることによって安定な特性を有するMOSトランジスタを構成することができる。すなわち、仮にゲート電極をp型の半導体層によって構成する場合そのドーパントの不純物としては一般にボロンBが用いられることになるが、このボロンBは、一般にゲート絶縁膜として用いられるSiO₂膜を突き抜けてしまい、半導体のチャネル形成面に拡散されてしまうことから、この場合にはゲート絶縁膜としてこのボロンBを遮断する効果のある窒化膜を用いるとか、窒化処理を行うとか、窒化膜を用いた多層構造とする等の複雑な作業を必要とするが、第2の本発明におけるように、そのゲート電極としてn型の半導体層を用いるときは、そのドーパントとしてりんPを用いることができ、これはSiO₂膜を突き抜ける効果がないことから、ゲート絶縁膜としてはSi基板表面の熱酸化等によってその作製が簡単なSiO₂膜によって構成することができる。

【0022】また、第3の本発明においては、表面保護膜として酸化シリコンを用いるものであり、この場合その形成は熱酸化等によって容易に形成することができ、しかもフォトレジストによる汚染の防止を確実に行うことができ、また高エネルギーイオン注入に際しては、確実に半導体基板表面のダメージを回避できる保護膜としての機能を有することから、安定して目的とする両導電型チャネルのMOSトランジスタを有する半導体装置例えばLSIを構成することができる。

【0023】

【実施例】図2～図6を参照して、図1で示す共通の基板1例えば単結晶Si半導体基板に、第1導電型チャネル例えばnチャネルMOSトランジスタn-MOSと、第2導電型例えばpチャネルのMOSトランジスタp-MOSとが形成される半導体装置を得る場合の一実施例を説明する。

【0024】図2に示すように、基板1がいわゆるバルク型構成を有し、これの一主面1aに臨んで選択的に、p型の不純物例えばBと、n型の不純物例えばP、あるいはAsとをそれぞれ例えばイオン注入あるいは拡散してそれぞれ所要の濃度に設定されたそれぞれいわゆるウェル領域によるn-MOSトランジスタを形成する第1

のトランジスタ形成部2aとp-MOSトランジスタを形成する第2のトランジスタ形成部2bとが形成される。

【0025】一方、この半導体基板1の主面1aのMOS形成部間のフィールド部に例えば局部的熱酸化いわゆるLOCOS (Local Oxidation of Silicon) によって厚い酸化物層による素子分離絶縁層7が形成される。

【0026】そして、この半導体基板1の表面すなわち最終的に上記第1導電型および第2導電型チャネルのMOSトランジスタを形成する第1および第2のトランジスタ形成部の表面に酸化シリコンSiO₂による表面保護膜11を例えばSi半導体基板1の表面熱酸化によって形成する。

【0027】次に、図3に示すように、一方のトランジスタ形成部例えば第2のトランジスタ形成部2bをフォトレジスト12によって覆って、他方の第1のトランジスタ形成部2aに上記表面保護膜を通じて高エネルギーのイオン注入を行う第1のイオン注入工程を行う。

【0028】この第1のイオン注入は、例えば素子分離絶縁層7を貫通してこれの下にチャネルストッパ8を形成するとか、最終的に形成するn-MOSトランジスタのゲート部と対向する位置の表面から内部に入り込んだ位置にソース・ドレイン間のパンチスルーを防止する埋込み領域6aを形成するとか、また或る場合は、この第1のトランジスタ形成部に最終的に形成する第1のMOSトランジスタこの例ではn-MOSトランジスタのしきい値電圧V_{th}を調整する不純物濃度制御のイオン注入等を行う。これら各イオン注入は、それぞれ必要とするパターンのイオン注入マスクを例えばフォトレジストによって形成して行う。

【0029】ここで、チャネルストッパ8のイオン注入は、例えばB（ボロン）を100keVで4×10¹²/cm²のドーズ量で行う。

【0030】埋込み領域6aのイオン注入は、例えばBを30keVで2×10¹³/cm²のドーズ量で行う。

【0031】また、第1のMOSトランジスタのしきい値電圧V_{th}を調整する不純物濃度制御のイオン注入は、例えばBを10keVで1×10¹²/cm²のドーズ量で行う。

【0032】図4に示すように、上述の第1のイオン注入工程前または後に第1のトランジスタ形成部2aをフォトレジスト12によって覆って、第2のトランジスタ形成部2bに、表面保護膜11を通じて第2のイオン注入工程を行う。

【0033】この第2のイオン注入も、素子分離絶縁層7を貫通してこれの下にチャネルストッパ8を形成するとか、最終的に形成するp-MOSトランジスタのゲート部と対向する位置の表面から内部に入り込んだ位置にソース・ドレイン間のパンチスルーを防止する埋込み領域6bを形成するイオン注入である。そして、これら

各イオン注入もまた、それぞれ必要とするパターンのイオン注入マスクを例えばフォトレジストによって形成して行う。

【0034】ここで、チャネルストッパー8のイオン注入は、例えばP（りん）を240keVで $4 \times 10^{12}/\text{cm}^2$ のドーズ量で行う。

【0035】埋込み領域6bのイオン注入は、例えばAsを100keVで $2 \times 10^{12}/\text{cm}^2$ のドーズ量で行う。

【0036】これら第1および第2のイオン注入工程とともに終了して後に図5に示すように、第2のトランジスタ形成部2b上の表面保護膜11を除去してこの第2のトランジスタ形成部2b表面の不純物濃度調整を行うp型の不純物ドーブ層9いわゆるカウンタードーブ層を形成する低エネルギーイオン注入による第3のイオン注入工程をとる。

【0037】このイオン注入は、例えばBF₂を5keVで $5 \times 10^{12}/\text{cm}^2$ のドーズ量で行う。

【0038】図6に示すように、一旦表面保護膜11等を除去して、第1および第2のトランジスタ形成部2aおよび2bの表面を露出し、この表面を例えば熱酸化しSiO₂酸化膜による絶縁膜23を形成し、これの上に全面的に例えばりんPがドーブされて低比抵抗化されたn型多結晶Siによる導電性の半導体層24をCVD（化学的気相成長）法等によって形成する。

【0039】そして、図1に示すように、この半導体層24とこれの下に絶縁膜23をフォトリソグラフィによって所定のパターンすなわち各埋込み領域6aおよび6bと対向し、ゲート部を構成する部分を残してエッチングする。このようにして、各トランジスタ形成部2aおよび2bにそれぞれ絶縁膜23と半導体層24の各一部によるゲート絶縁膜3aおよび3bとこれの上に形成されたゲート電極4aおよび4bによる各ゲート部が構成される。

【0040】そして、これらゲート部をマスクに各トランジスタ形成部2aと2bとに、それぞれ順次イオン注入によってn型のソースおよびドレイン各領域5saおよび5daと、p型のソースおよびドレイン各領域5sbおよび5dbとを形成する。このようにすると、共通の基板1にそれぞれnチャネルMOSトランジスタn-MOSと、pチャネルMOSトランジスタp-MOSとが形成された目的とする半導体装置が構成される。

【0041】上述した例では、第1および第2の双方のトランジスタ形成部2aおよび2bをともにウェル領域によって形成した場合であるが、一方のトランジスタ形成部例えば2aまたは2bを基板1によって構成し、他方の形成部2bまたは2aを上記のウェル領域によって構成することもできる。

【0042】また、上述した例では、バルク型構成とした場合であるが、基板1は絶縁基体上に半導体層が形成

されたいわゆるSOI構成とし、その半導体層にp型およびn型の各トランジスタ形成部2aおよび2bを形成し、これらトランジスタ形成部2aおよび2bに各n-MOSトランジスタおよびp-MOSトランジスタを形成することもできる。

【0043】また、上述した例では第1導電型がn型で、両導電型MOSトランジスタのゲート電極を構成する共通の半導体層すなわち上述の例では多結晶Si層がn型とした場合で、この場合前述したように、ゲート絶縁膜をSiO₂の単層膜によって構成できるという利点があり、窒化処理もしくは窒化膜を用いることを回避できるが、第2導電型がp型とする場合にも本発明を適用することもでき、この場合には、不純物ドーブ層9が形成されない状態ではn-MOSトランジスタが埋込みチャネル型となるが、この場合においては、このn-MOSトランジスタの形成部の表面に不純物濃度の調整の低エネルギーイオン注入を行うことによってチャネルを表面側に移行させることができる。そして、この場合には図1～図6における各部の導電型を図示とは逆の導電型に選定する。

【0044】また、表面保護膜11は、SiO₂膜によって形成することが前述したように好ましいが、他のフォトレジストによる半導体基板のトランジスタ形成部、特にチャネル形成部の汚染を阻止でき、高エネルギーイオン注入においても半導体基板表面にダメージを与えることの少ない材料層によって構成することもできる。

【0045】

【発明の効果】上述したように本発明製法によれば、両導電型チャネルすなわちn-MOSトランジスタおよびp-MOSトランジスタに関してそのゲート電極4aおよび4bを共通の導電型による半導体層24例えば多結晶Siによって同一工程で構成するので、互いに異なる導電型の半導体層によって構成する場合における工程数の増加を回避でき、生産性の向上をはかることができる。

【0046】また、本発明製法においては、イオン注入のマスクとするフォトレジスト12は、例えばSiO₂による表面保護膜11を介して形成することから、フォトレジスト12の被着による半導体のチャネル形成部の汚染を回避でき、また高エネルギーイオン注入に際しては、この表面保護膜11を通じて第1および第2のトランジスタ形成部に対する第1および第2の高エネルギーのイオン注入を行うのでこの高エネルギーイオン注入に際しての半導体表面のダメージの発生を回避できる。

【0047】そして、表面濃度調整の不純物ドーブ層9を形成する低エネルギーイオン注入に関しては、表面保護膜11を介することなくそのイオン注入を行うのでトランジスタ形成部の表面に浅く制御性よく不純物のドーブを行うことができる。したがって上述したように両導電型のMOSトランジスタに関して第1導電型による同

一の半導体層によってゲート電極を構成したことにより埋込みチャンネル型となる第2導電型チャンネルのMOSトランジスタに関して安定して目的の特性を有するすなわちその埋込み型チャンネルを表面側に移行したすなわちゲート電圧のチャンネルに対する制御性を高めることができる。つまり、これによって短チャンネル効果の改善したがつてMOSトランジスタの微細化をはかることができる。

【0048】また、第2の本発明においては、第1の本発明製法において、その第1導電型がn型であり、第2導電型がp型である構成、すなわち両導電型のMOSトランジスタのゲート電極を、n型の半導体層によって構成するものであるが、このようにゲート電極をn型とすることによって前述したようにゲート絶縁膜としてSiO₂膜を用いた場合でも安定な特性を有するMOSトランジスタを構成することができる。

【0049】また、第3の本発明においては、表面保護膜として酸化シリコンを用いるものであり、この場合その形成は熱酸化等によって容易に形成することができ、しかもフォトリソによる汚染の防止を確実に行うことができ、また高エネルギーイオン注入に際しては、確実に半導体基板表面のダメージを回避できる保護膜としての機能を有することから、安定して目的とする両導電型チャンネルのMOSトランジスタを有する半導体装置例えばLSIを構成することができる。

【図面の簡単な説明】

【図1】本発明製法によって得る半導体装置の一例の概略断面図である。

【図2】本発明製法の一例の一工程における概略断面図である。

【図3】本発明製法の一例の一工程における概略断面図である。

【図4】本発明製法の一例の一工程における概略断面図である。

【図5】本発明製法の一例の一工程における概略断面図である。

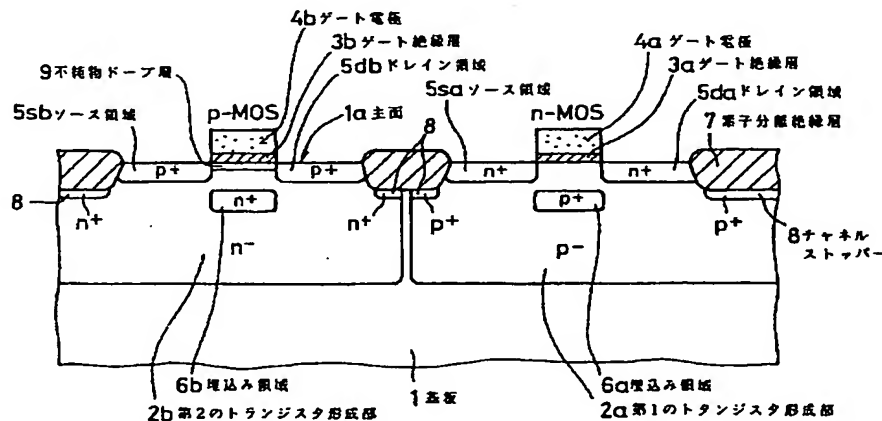
【図6】本発明製法の一例の一工程における概略断面図である。

【図7】従来製法による半導体装置の概略断面図である。

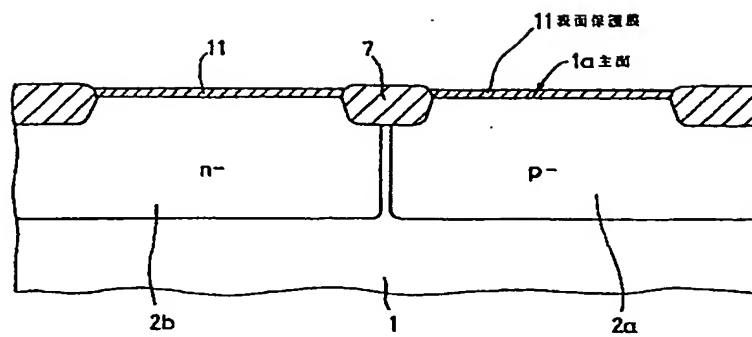
【符号の説明】

- 1 基板
- 2a 第1のトランジスタ形成部
- 2b 第2のトランジスタ形成部
- 3a, 3b ゲート絶縁膜
- 4a, 4b ゲート電極
- 5sa, 5sb ソース領域
- 5da, 5db ドレイン領域
- 6a, 6b 埋込み領域
- 7 素子分離絶縁層
- 8 チャンネルストッパー
- 9 不純物ドーブ層

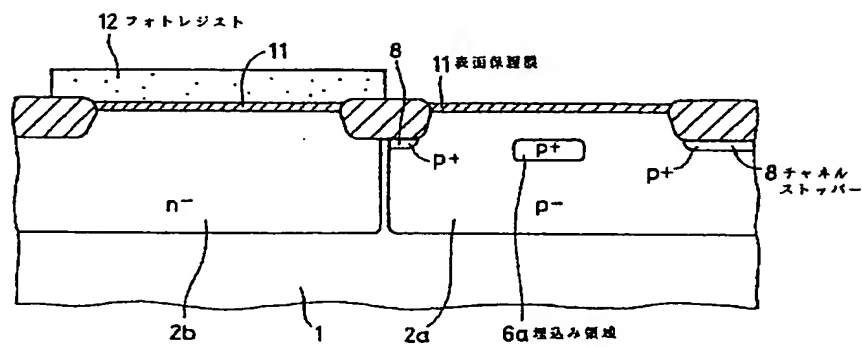
【図1】



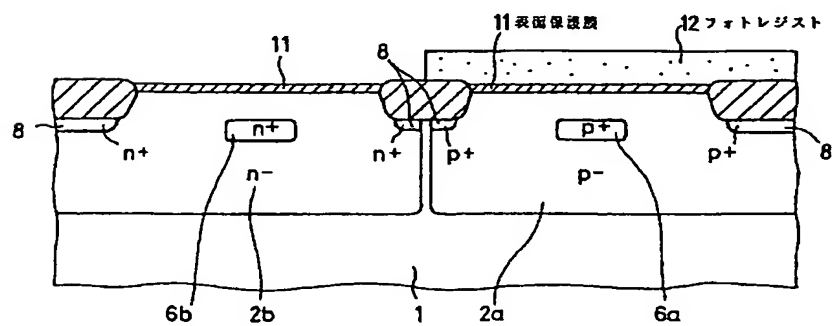
【図2】



【図3】



【図4】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 13 年 4 月 6 日 (2001. 4. 6)

【公開番号】特開平 7-235673

【公開日】平成 7 年 9 月 5 日 (1995. 9. 5)

【年通号数】公開特許公報 7-2357

【出願番号】特願平 6-22802

【国際特許分類第 7 版】

H01L 29/78

【F I】

H01L 29/78 301 H

301 X

【手続補正書】

【提出日】平成 12 年 5 月 17 日 (2000. 5. 17)

【手続補正 1】

【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

【補正内容】

【図 5】

